

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q79162

Shinya SHIMASAKI

Appln. No.: 10/750,970

Group Art Unit: 2818

Confirmation No.: 1868

Examiner: Trong Q. PHAN

Filed: January 5, 2004

For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE CAPABLE OF
ACCURATELY AND QUICKLY ADJUSTING STEP-UP VOLTAGE

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document (Japan 2003-008088) on
which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully
requested to acknowledge receipt of said priority document.

Respectfully submitted,

Jason C. Beckstead
Registration No. 48,232

SUGHRUE MION, PLLC
Telephone: (650) 625-8100
Facsimile: (650) 625-8110

MOUNTAIN VIEW OFFICE

23493

CUSTOMER NUMBER

Enclosures: Japan 2003-008088

Date: July 13, 2004

Certificate of Mailing

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: July 13, 2004

Signed:
Mariann Tam

日 本 国 特 許 庁
JAPAN PATENT OFFICE

U.S. Appl. No. 10/430,970
Any Docket: Q79162
Filed: January 5, 2004
Inventor: Shinya SHIMASAKI
Title: Nonvolatile Semiconductor
Memory Device Capable of
accurately and Quickly
Adjusting Step-up Voltage

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 月 1 6 日

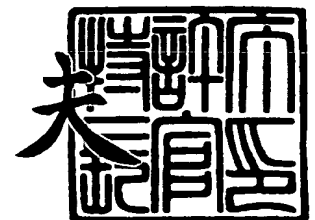
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 0 8 0 8 8
[ST. 10/C]: [J P 2 0 0 3 - 0 0 8 0 8 8]

出 願 人
Applicant(s): N E C マイクロシステム株式会社

2 0 0 3 年 1 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 4 1 3 2

【書類名】 特許願

【整理番号】 01211687

【提出日】 平成15年 1月16日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/06

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53号 エヌイーシーマイクロシステム株式会社内

【氏名】 嶋崎 真也

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 エヌイーシーマイクロシステム株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9712889

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 不揮発性メモリを備えた半導体集積回路装置であって、
前記不揮発性メモリに供給する書き込み電圧として用いられる昇圧電圧を生成するレベル昇圧回路と、
前記レベル昇圧回路から出力された昇圧電圧である実測値と外部から供給される電圧である期待値との比較結果を出力する第 1 のコンパレータと、
前記レベル昇圧回路で生成する昇圧電圧の値を制御するための複数の補正電圧を生成する分圧回路と、
前記複数の補正電圧からいずれか 1 つを選択するための選択信号となるカウント値を生成するカウンタと、
前記実測値と前記期待値の比較結果をモニタし、該モニタ結果に応じて前記カウント値を順次変化させるためのカウント信号を生成するタイミング制御回路と、
前記カウンタ値を保持する、データの書き換えが可能な不揮発性の記憶装置と、
前記選択信号にしたがって補正電圧を選択出力する補正レベル制御回路と、
所定の一定電圧である基準電圧を出力する基準電圧源と、
前記補正レベル制御回路で選択された補正電圧と前記基準電圧とを比較し、前記昇圧電圧を生成するためのクロックを前記レベル昇圧回路に対して供給するかどうかを制御するレベル制御回路と、
を有する半導体集積回路装置。

【請求項 2】 前記分圧回路は、

前記レベル昇圧回路の前記昇圧電圧の出力端と接地電位間に挿入される、直列に接続された複数の抵抗器から構成される請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記タイミング制御回路は、

前記実測値が前記期待値よりも低いとき、前記カウンタに前記カウント値をインクリメントするためのカウント信号を出力し、

前記実測値が前記期待値よりも高いとき、前記カウント信号の出力を停止する請求項 1 または 2 記載の半導体集積回路装置。

【請求項 4】 前記期待値が入力される入力端子が抵抗器を介して接地電位に接続された請求項 1 乃至 3 のいずれか 1 項記載の半導体集積回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は不揮発性メモリを内蔵する半導体集積回路装置に関する。

【 0 0 0 2 】

【従来の技術】

フラッシュメモリ (Flash Memory) や E E P R O M (Electrically Erasable and Programmable Read Only Memory) 等の不揮発性メモリでは、一般に、外部から供給される外部電源電圧よりも高い書き込み電圧 (昇圧電圧) を用いてデータの書き込みが行われる。

【 0 0 0 3 】

書き込み電圧は、必要な電圧よりも低ければ書き込み不良となり、高すぎれば半導体集積回路装置の破損や寿命の低下を招くため、書き込み可能になる電圧よりもわずかに高い電圧に設定することが望ましい。

【 0 0 0 4 】

また、書き込み時間の短縮や信頼性向上のため、書き込み動作時にワード線に印加する書き込み電圧を徐々に変える手法が提案されている (例えば、特許文献 1 参照)。

【 0 0 0 5 】

【特許文献 1】

特開 2 0 0 0 - 1 1 3 6 9 0 号

【 0 0 0 6 】

【発明が解決しようとする課題】

近年の不揮発性メモリを内蔵した半導体集積回路装置 (例えば、1 チップマイコン等) では、その集積度が大幅に進んだ結果、隣接する配線間や回路素子間の

短絡不良等が増大して製品の歩留りが低下する傾向にある。したがって、製造ばらつきにより上記書き込みが可能になる電圧が所定の範囲から外れた半導体集積回路装置であっても、その特性に応じて書き込み電圧を調整すれば良品として用いることができるため、半導体集積回路装置の歩留りの更なる低下を抑制できる。

【0007】

従来の半導体集積回路装置では、外部電源電圧の変動に対して書き込み電圧の変動範囲を制御する構成や上記書き込み動作時にワード線に印加する書き込み電圧を変化させる構成は提案されているが、製品歩留りの向上を目的として書き込み電圧の値を調整する構成は提案されていなかった。

【0008】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、書き込み電圧を容易に調整可能にして製品歩留りを向上させることが可能な、不揮発性メモリを備えた半導体集積回路装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するため本発明の半導体集積回路装置は、不揮発性メモリを備えた半導体集積回路装置であって、

前記不揮発性メモリに供給する書き込み電圧として用いられる昇圧電圧を生成するレベル昇圧回路と、

前記レベル昇圧回路から出力された昇圧電圧である実測値と外部から供給される電圧である期待値との比較結果を出力する第1のコンパレータと、

前記レベル昇圧回路で生成する昇圧電圧の値を制御するための複数の補正電圧を生成する分圧回路と、

前記複数の補正電圧からいずれか1つを選択するための選択信号となるカウント値を生成するカウンタと、

前記実測値と前記期待値の比較結果をモニタし、該モニタ結果に応じて前記カウント値を順次変化させるためのカウント信号を生成するタイミング制御回路と

、
前記カウンタ値を保持する、データの書き換えが可能な不揮発性の記憶装置と
、
前記選択信号にしたがって補正電圧を選択出力する補正レベル制御回路と、
所定の一定電圧である基準電圧を出力する基準電圧源と、
前記補正レベル制御回路で選択された補正電圧と前記基準電圧とを比較し、前記昇圧電圧を生成するためのクロックを前記レベル昇圧回路に対して供給するか否かを制御するレベル制御回路と、
を有する構成である。

【0 0 1 0】

このとき、前記分圧回路は、
前記レベル昇圧回路の前記昇圧電圧の出力端と接地電位間に挿入される、直列に接続された複数の抵抗器から構成されていてもよく、
前記タイミング制御回路は、
前記実測値が前記期待値よりも低いとき、前記カウンタに前記カウント値をインクリメントするためのカウント信号を出力し、
前記実測値が前記期待値よりも高いとき、前記カウント信号の出力を停止してもよい。

【0 0 1 1】

また、前記期待値が入力される入力端子が抵抗器を介して接地電位に接続されていてもよい。

【0 0 1 2】

上記のように構成された半導体集積回路装置では、レベル昇圧回路から出力された昇圧電圧である実測値と外部から供給される電圧である期待値との比較結果を出力する第1のコンパレータと、レベル昇圧回路で生成する昇圧電圧の値を制御するための複数の補正電圧を生成する分圧回路と、複数の補正電圧からいずれか1つを選択するための選択信号となるカウント値を生成するカウンタと、実測値と期待値の比較結果をモニタし、該モニタ結果に応じてカウント値を順次変化させるためのカウント信号を生成するタイミング制御回路と、選択信号にしたが

って補正電圧を選択出力する補正レベル制御回路と、所定の一定電圧である基準電圧を出力する基準電圧源と、補正レベル制御回路で選択された補正電圧と基準電圧とを比較し、昇圧電圧を生成するためのクロックをレベル昇圧回路に供給するか否かを制御するレベル制御回路とを有することで、期待値を外部から入力するだけで不揮発性メモリの書き込み電圧が自動的に調整されるため、書き込み電圧を容易に調整することができる。

【0013】

また、カウンタ値を保持する、データの書き換えが可能な不揮発性の記憶装置を有することで、カウンタのカウント値を不揮発性の記憶装置に書き込みながら昇圧電圧の値を調整することができるため、不揮発性メモリの書き込み電圧の調整完了時には、調整後のカウント値が該記憶装置へ自動的に書き込まれる。

【0014】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【0015】

本発明の半導体集積回路装置は、不揮発性メモリに供給する書き込み電圧の設定値（以下、期待値と称す）を外部のテストから供給し、実際の書き込み電圧（以下、実測値と称す）を該期待値に基づいて半導体集積回路装置内で自動的に調整する構成である。

【0016】

図1は本発明の半導体集積回路装置の一構成例を示すブロック図であり、図2は図1に示したタイミング制御回路の一構成例を示すブロックである。

【0017】

図1に示すように、本実施形態の半導体集積回路装置1は、不揮発性メモリに供給する書き込み電圧として用いられる昇圧電圧 V_{pp} を生成するレベル昇圧回路11と、レベル昇圧回路11から出力された昇圧電圧 V_{pp} （実測値）と外部のテスト2から供給される電圧（期待値）との比較結果を出力する第1のコンパレータ（Comp1）13と、レベル昇圧回路11で生成する昇圧電圧 V_{pp} の値を制御するための複数の補正電圧を生成する分圧回路14と、実測値と期待値の比

較結果に応じて複数の補正電圧からいずれか1つを選択する補正レベル制御回路15と、所定の一定電圧である基準電圧 V_{ref} を出力する基準電圧源16と、補正レベル制御回路15で選択された補正電圧と基準電圧 V_{ref} とを比較し、昇圧電圧 V_{pp} を生成するためのクロック (Clock) をレベル昇圧回路11に対して供給するか否かを制御するレベル制御回路12と、補正レベル制御回路15で補正電圧を選択するための選択信号 (カウント値) を生成するカウンタ18と、カウンタ18から出力されるカウント値を保持する、データの書き換えが可能な不揮発性の記憶装置19と、実測値と期待値の比較結果をモニタし、モニタ結果に応じてカウンタ18のカウント値をインクリメントさせるためのカウントアップ信号を生成するタイミング制御回路20とを有する構成である。なお、記憶装置19には、例えば、EEPROMが用いられる。

【0018】

レベル制御回路12は、昇圧電圧 V_{pp} を生成するためのクロック (Clock) をレベル昇圧回路11に対して供給するか否かを制御する論理和ゲート121と、補正レベル制御回路15で選択された補正電圧と基準電圧源16から出力される基準電圧 V_{ref} とを比較し、論理和ゲート121からのクロック出力を制御するための信号を生成する第2のコンパレータ (Comp2) 122とを有する構成である。

【0019】

図2に示すように、タイミング制御回路20は、第1のコンパレータ13の比較結果をモニタするためのサンプリング信号を生成するサンプリング信号生成回路21と、カウンタ18の出力値をインクリメントするためのカウントアップ信号を生成する論理積ゲート22と、カウントアップ信号が実測値と期待値の比較結果のモニタ中に変わらないようにするための遅延回路 (delay) 23とを有する構成である。

【0020】

サンプリング信号生成回路21は、カウンタ回路24と、該カウンタ回路24の出力及び実測値と期待値の比較結果のモニタ可否を制御するための制御信号 C_m が入力される論理積ゲート25とを備え、カウンタ回路24が所定のカウント

値をカウントアップしたら“1”を出力する。すなわち、サンプリング信号生成回路21は、モニタ可の状態において、所定の周期毎にパルス信号からなるサンプリング信号を出力する。なお、制御信号Cmは、半導体集積回路装置が備える、例えば、CPU等の不図示の制御回路から送出される。

【0021】

レベル昇圧回路11は、半導体集積回路装置の内部で生成されたクロック（Clock）から昇圧電圧Vppを生成する周知のチャージポンプ回路で構成され、クロック供給時に昇圧電圧Vppを生成し、クロック供給停止時に昇圧電圧Vppの生成を停止する。

【0022】

補正レベル制御回路15は、制御信号にしたがって複数の入力信号からいずれか一つを選択して出力するセクタ回路であり、カウンタ18から出力されるカウント値にしたがって、分圧回路14から出力される複数の補正電圧の中から一つの補正電圧を選択して出力する。

【0023】

第1のコンパレータ13は、テスト2から半導体集積回路装置1に期待値が入力されると、期待値とレベル昇圧回路11から出力された実測値とを比較し、実測値が期待値よりも低いときは“1”を出力し、実測値が期待値よりも高いときは“0”を出力する。

【0024】

タイミング制御回路20は、サンプリング信号生成回路21で生成されたサンプリング信号のタイミングで第1のコンパレータ13の比較結果をモニタし、第1のコンパレータ13から“1”が出力されている場合はカウンタ18にカウントアップ信号を出力し、第1のコンパレータ13から“0”が出力されている場合はカウントアップ信号の出力を停止する。

【0025】

カウンタ18は、書き込み電圧調整後のカウント値を保持するためのアジャストメント領域を備えた記憶装置19と接続され、タイミング制御回路20からカウントアップ信号を受信すると、カウント値を予め格納された初期値から順にイ

ンクリメントすると共に、その値を記憶装置 19 のアジャストメント領域に書き込む。なお、カウント値の記憶装置 19 からの読み出し／書き込み制御は上記 CPU 等の制御回路で行ってもよい。

【0026】

図 1 に示すように、分圧回路 14 は、レベル昇圧回路 11 の昇圧電圧出力端と接地電位間に直列に接続された複数の抵抗器（図 1 では 5 個）で構成され、各抵抗器の接続ノードの電圧が補正レベル制御回路 15 の入力ポートにそれぞれ入力される。補正レベル制御回路 15 は、カウンタ 18 から出力されるカウント値にしたがって入力ポートを選択し、分圧回路 14 で生成された補正電圧を、例えば、低い方から順に出力する。

【0027】

第 2 のコンパレータ 122 は、補正レベル制御回路 15 から出力された補正電圧と基準電圧源 16 から出力された基準電圧 V_{ref} とを比較し、基準電圧 V_{ref} よりも補正電圧が低いときに論理和ゲート 121 からクロック（Clock）を出力させ、基準電圧 V_{ref} よりも補正電圧が高いときに論理和ゲート 121 からのクロック（Clock）出力を停止させるためのゲート信号を出力する。

【0028】

以上の構成により、図 1 に示す半導体集積回路装置では、補正レベル制御回路 15 で入力ポートが選択される度に、補正レベル制御回路 15 から出力される補正電圧と基準電圧 V_{ref} とが一致するように、レベル昇圧回路 11 から出力される昇圧電圧 V_{pp} の値が制御される。すなわち、補正レベル制御回路 15 で選択された入力ポートを境に分圧回路 14 の接地電位側の全抵抗値を R_1 、昇圧電圧 V_{pp} 側の全抵抗値を R_2 としたとき、

$$V_{pp} = V_{ref} \times (R_1 + R_2) / R_1$$

となるように、昇圧電圧 V_{pp} の値が制御される。

【0029】

レベル昇圧回路 11 から出力される昇圧電圧 V_{pp} は、カウンタ 18 のカウント値にしたがって 1 段階ずつ高くなり、実測値が期待値を越えると、第 1 のコンパレータから“0”が出力され、タイミング制御回路 20 からのカウントアップ

信号の出力が停止する。このとき、カウンタ 18 は、記憶装置 19 のアジャストメント領域に書き込まれたカウント値を維持するため、補正レベル制御回路 15 で選択された入力ポートが該カウント値に対応したもので固定され、昇圧電圧 V_{pp} は対応する値で一定に制御される。

【0030】

例えば、図 1 に示すように分圧回路 14 が 5 つの抵抗器で構成されている場合、各抵抗器の抵抗値が等しく、 $V_{ref} = 1.5V$ と仮定すると、レベル昇圧回路 11 は、補正レベル制御回路 15 の入力ポートが図 1 の上から下へ向かって選択されるにつれて、 $1.875V$ 、 $2.5V$ 、 $3.75V$ 、 $7.5V$ の順に昇圧電圧 V_{pp} を出力する。

【0031】

次に、本実施形態の半導体集積回路装置の動作について、図面を参照して説明する。

【0032】

図 3 は図 1 に示した第 1 のコンパレータ及びタイミング制御回路の書き込み電圧の調整時の動作を示すタイミングチャートであり、図 4 は図 1 に示した第 1 のコンパレータ及びタイミング制御回路の書き込み電圧の非調整時の動作を示すタイミングチャートである。また、図 5 は図 1 に示したカウンタの動作を示すタイミングチャートである。なお、図 3 は書き込み電圧の調整が 8 段階目で完了し、図 5 は書き込み電圧の調整が 2 段階目で完了する例を示している。

【0033】

不揮発性メモリの書き込み電圧を調整するためにテスト 2 から半導体集積回路装置 1 に期待値が入力され、半導体集積回路装置 1 に電源が投入されると、図 3 に示すように、カウンタ 18 は記憶装置 19 に格納されたカウント値（初期値）を読み取り、その値を補正レベル制御回路 15 に出力する。このとき、補正レベル制御回路 15 では読み取った初期値に対応する補正電圧（補正值 0）が選択され、レベル昇圧回路 11 からは該初期値に対応する昇圧電圧 V_{pp} が出力される。

【0034】

レベル昇圧回路 11 から昇圧電圧 V_{pp} が出力されると、上述したように第 1 のコンパレータ 13 により期待値と実測値（レベル昇圧回路 11 の出力値）とが比較される。ここでは、補正值 0 に対応する昇圧電圧 V_{pp} が期待値よりも低い
ため、第 1 のコンパレータ 13 からは“1”が出力される。タイミング制御回路 20 は、第 1 のコンパレータ 13 から“1”が出力されているため、サンプリング信号に同期してカウンタ 18 にカウントアップ信号を出力する。

【0035】

カウンタ 18 は、タイミング制御回路 20 からカウントアップ信号を受信すると、カウント値を初期値からインクリメントし、補正レベル制御回路 15 に初期値から 1 段階高い補正電圧（補正值 1）を選択させる。このとき、レベル昇圧回路 11 からは補正值 1 に対応する昇圧電圧 V_{pp} が出力される。

【0036】

同様の処理を順次繰り返し、レベル昇圧回路 11 から補正值 8 に対応する昇圧電圧 V_{pp} が出力されると、ここでは実測値が期待値を上まわるため、第 1 のコンパレータ 13 から“0”が出力される。

【0037】

タイミング制御回路 20 は、第 1 のコンパレータ 13 の比較結果が“0”であるため、カウントアップ信号の出力を停止する。このとき、カウンタ 18 は補正值 8 に相当するカウント値を維持し、補正レベル制御回路 15 は対応する補正電圧の選択状態を維持する。したがって、レベル昇圧回路 11 の出力は補正值 8 に対応する昇圧電圧 V_{pp} で維持される。

【0038】

一方、書き込み電圧を調整しない場合、テスト 2 からは期待値として接地電位が半導体集積回路装置 1 に入力される。この状態で半導体集積回路装置 1 に電源が投入されると、図 4 に示すように、カウンタ 18 は記憶装置 19 に格納されたカウント値（初期値）を読み取り、その値を補正レベル制御回路 15 に出力する。このとき、補正レベル制御回路 15 では読み取った初期値に対応する補正電圧が選択され、レベル昇圧回路 11 からは該初期値に対応する昇圧電圧 V_{pp} が出力される。

【0039】

レベル昇圧回路 11 から昇圧電圧 V_{pp} が出力されると、上述したように第 1 のコンパレータ 13 により期待値と実測値とが比較される。ここでは、期待値が接地電位であるため、第 1 のコンパレータ 13 からは“0”が出力される。タイミング制御回路 20 は、第 1 のコンパレータ 13 の出力が“0”であるため、カウンタ 18 にカウントアップ信号を出力しない。このため、カウンタ 18 はカウント値を維持し、補正レベル制御回路 15 は初期値に対応する補正電圧の選択状態を維持する。したがって、レベル昇圧回路 11 の出力は初期値に対応する昇圧電圧 V_{pp} で維持される。

【0040】

なお、半導体集積回路装置が備える複数の入出力端子のうち、期待値を入力するための入力端子は抵抗器を介して接地電位に接続しておいてもよい。このような構成では、テスト 2 から期待値として所定の電圧が入力されないときは接地電位に設定される。また、本実施形態では、レベル昇圧回路 11 から出力する昇圧電圧 V_{pp} を低い方から順次高く設定する例を示したが、昇圧電圧 V_{pp} を高い方から順次低く設定し、期待値を下回った段階で調整を完了してもよい。

【0041】

よって、本実施形態の半導体集積回路装置によれば、テスト 2 から期待値を入力するだけで不揮発性メモリの書き込み電圧が自動的に調整されるため、書き込み電圧を容易に調整することが可能であり、製品歩留りを向上させることができる。

【0042】

図 5 に示すように、本実施形態のカウンタ 18 は、不揮発性メモリの書き込み電圧の調整時、記憶装置 19 が備えるカウント値を書き込むためのアジャストメント領域のアドレスを、不図示の制御回路から送出されるアドレスラッチ信号のタイミングで予めラッチしておく。

【0043】

続いて、タイミング制御回路 20 からのカウントアップ信号にしたがってカウントを開始すると、補正レベル制御回路 15 にカウント値を出力すると共にデー

トラッチ信号を記憶装置 19 へ出力し、カウント値を記憶装置 19 のデータストアバッファへラッチさせる。そして、昇圧電圧 V_{pp} の実測値が期待値を越えてカウントアップ信号の出力が停止したら、データストアバッファにラッチされたカウント値をアジャストメント領域のアドレスに書き込む。なお、図 5 に示すアジャストメント領域の“XX”は、カウント値 0 においては調整が完了していないため、カウント値が書き込まれるか否かは不定であることを示している。

【0044】

本実施形態の半導体集積回路装置では、以上説明したようにカウンタ 18 のカウント値を記憶装置 19 のデータストアバッファに書き込みながら昇圧電圧 V_{pp} の値を調整していくため、不揮発性メモリの書き込み電圧の調整完了時には、外部からの制御によりカウント値を書き込まなくても記憶装置 19 へ調整後のカウント値が自動的に書き込まれる。したがって、不揮発性メモリの書き込み電圧の調整作業が簡略化され、調整時間が短縮される。

【0045】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0046】

レベル昇圧回路から出力された昇圧電圧である実測値と外部から供給される電圧である期待値との比較結果を出力する第 1 のコンパレータと、レベル昇圧回路で生成する昇圧電圧の値を制御するための複数の補正電圧を生成する分圧回路と、複数の補正電圧からいずれか 1 つを選択するための選択信号となるカウント値を生成するカウンタと、実測値と期待値の比較結果をモニタし、該モニタ結果に応じてカウント値を順次変化させるためのカウント信号を生成するタイミング制御回路と、選択信号にしたがって補正電圧を選択出力する補正レベル制御回路と、所定の一定電圧である基準電圧を出力する基準電圧源と、補正レベル制御回路で選択された補正電圧と基準電圧とを比較し、昇圧電圧を生成するためのクロックをレベル昇圧回路に供給するか否かを制御するレベル制御回路とを有することで、期待値を外部から入力するだけで不揮発性メモリの書き込み電圧が自動的に

調整されるため、書き込み電圧を容易に調整することができる。したがって、製品歩留りを向上させることができる。

【0047】

また、カウンタ値を保持する、データの書き換えが可能な不揮発性の記憶装置を有することで、カウンタのカウント値を不揮発性の記憶装置に書き込みながら昇圧電圧の値を調整することができるため、不揮発性メモリの書き込み電圧の調整完了時には、調整後のカウント値が該記憶装置へ自動的に書き込まれる。したがって、不揮発性メモリの書き込み電圧の調整作業が簡略化され、調整時間が短縮される。

【図面の簡単な説明】

【図1】

本発明の半導体集積回路装置の一構成例を示すブロック図である。

【図2】

図1に示したタイミング制御回路の一構成例を示すブロックである。

【図3】

図1に示した第1のコンパレータ及びタイミング制御回路の書き込み電圧の調整時の動作を示すタイミングチャートである。

【図4】

図1に示した第1のコンパレータ及びタイミング制御回路の書き込み電圧の非調整時の動作を示すタイミングチャートである。

【図5】

図1に示したカウンタの動作を示すタイミングチャートである。

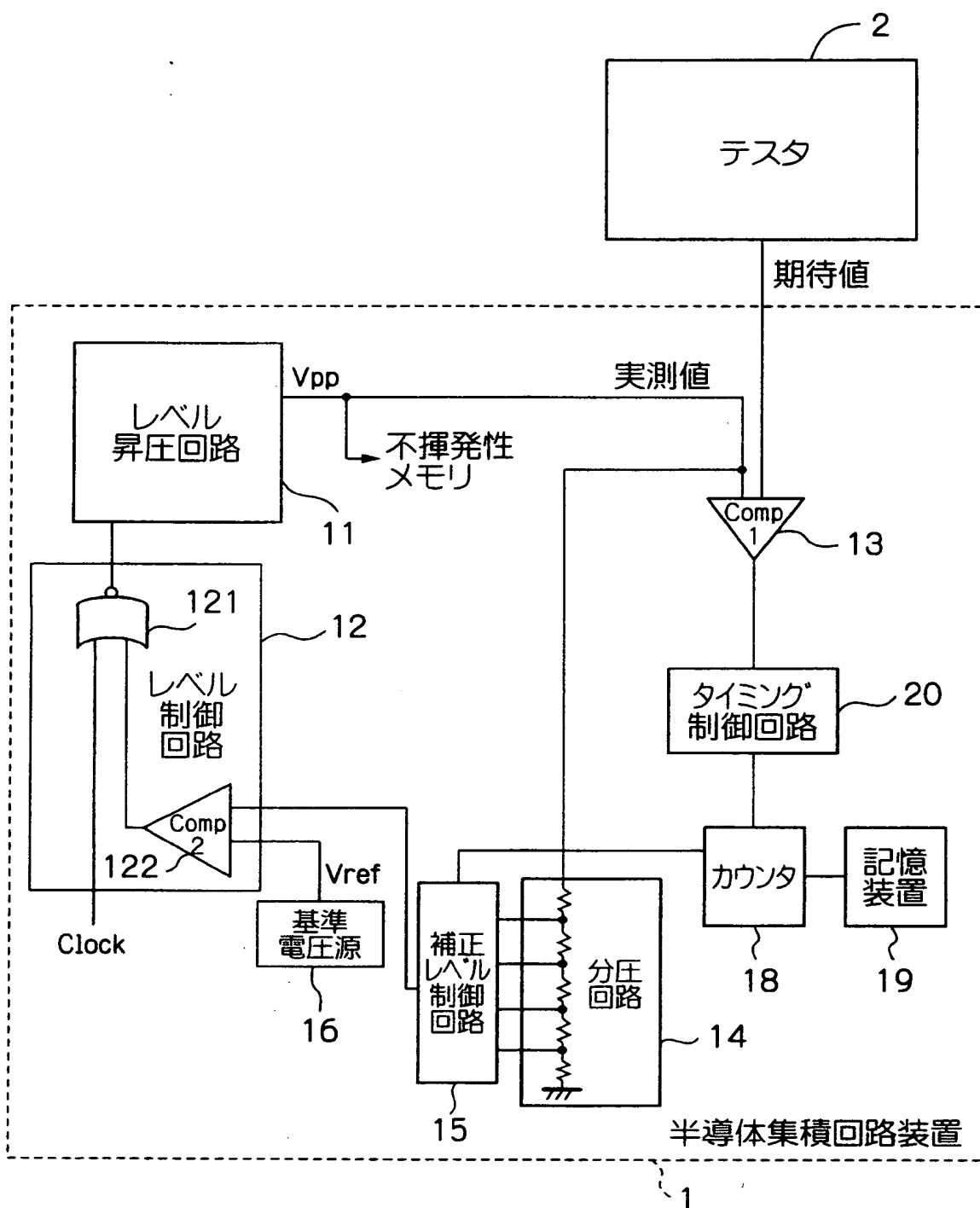
【符号の説明】

- 1 半導体集積回路装置
- 2 テスタ
- 11 レベル昇圧回路
- 12 レベル調整回路
- 13 第1のコンパレータ
- 14 分圧回路

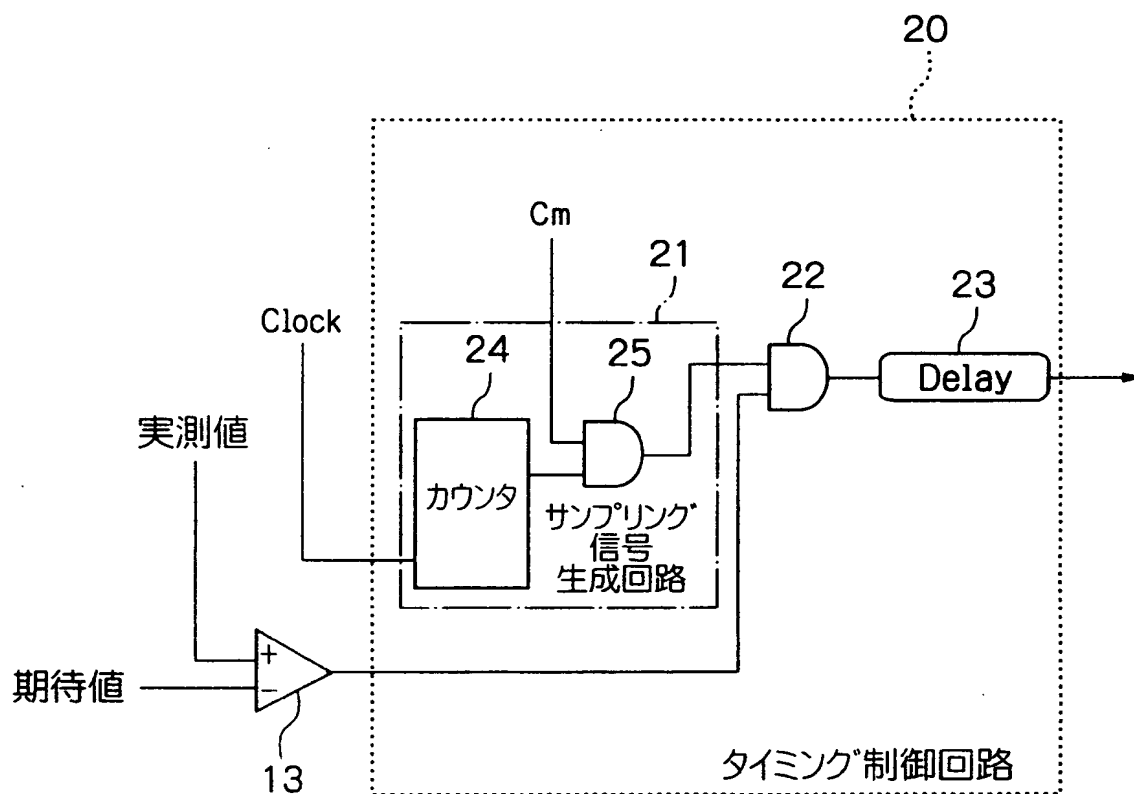
- 1 5 補正レベル制御回路
- 1 6 基準電圧源
- 1 8 カウンタ
- 1 9 記憶装置
- 2 0 タイミング制御回路
- 2 1 サンプリング信号生成回路
- 2 2、2 5 論理積ゲート
- 2 3 遅延回路
- 2 4 カウンタ回路
- 1 2 1 論理和ゲート
- 1 2 2 第 2 のコンパレータ

【書類名】 図面

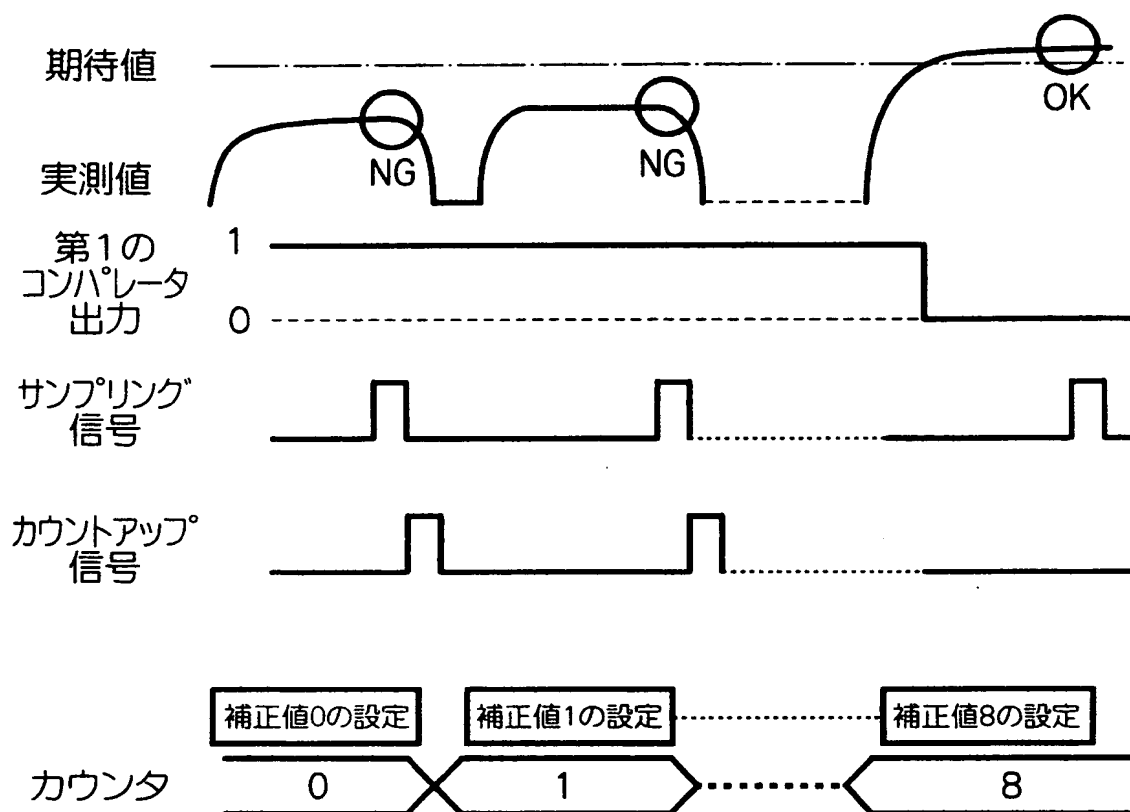
【図 1】



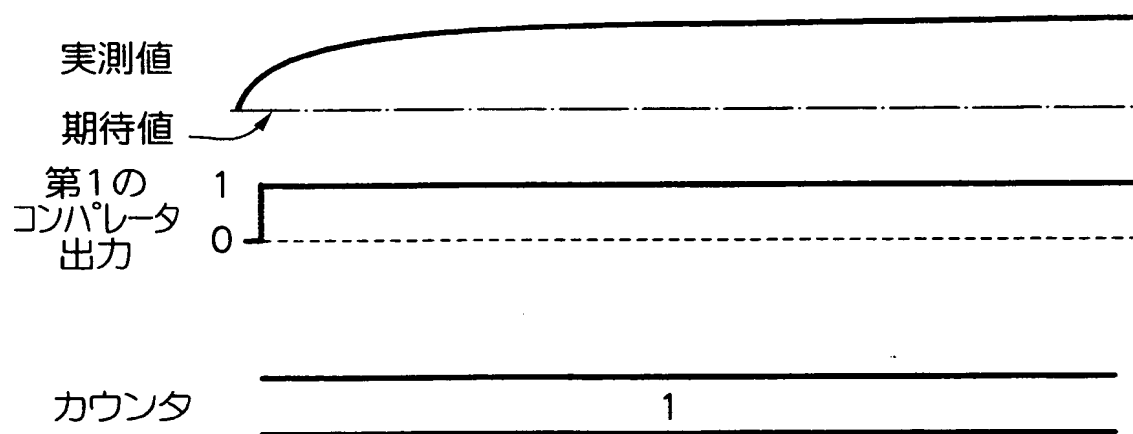
【図 2】



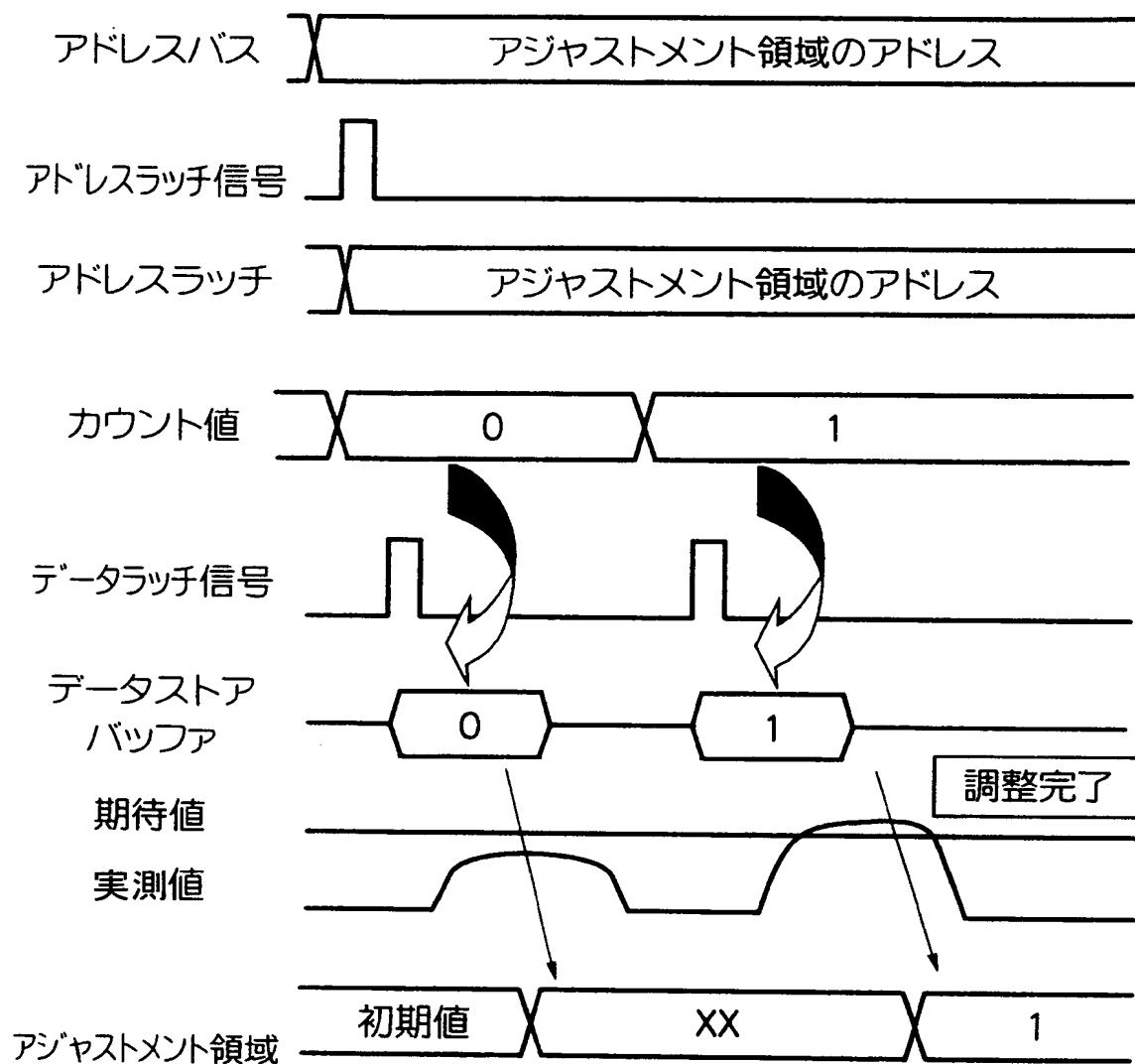
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 書き込み電圧を容易に調整可能にして製品歩留りを向上させることが可能な、不揮発性メモリを備えた半導体集積回路装置を提供する。

【解決手段】 不揮発性メモリで用いる書き込み電圧（昇圧電圧）を生成するレベル昇圧回路と、レベル昇圧回路の出力である実測値と外部から供給される期待値を比較する第1のコンパレータと、昇圧電圧を制御するための複数の補正電圧を生成する分圧回路と、補正電圧を選択するためのカウント値を生成するカウンタと、実測値と期待値の比較結果に応じてカウント値を順次変化させるためのカウント信号を生成するタイミング制御回路と、カウンタ値を保持する記憶装置と、カウント値により補正電圧を選択出力する補正レベル制御回路と、基準電圧を出力する基準電圧源と、選択された補正電圧と基準電圧とを比較し、昇圧電圧を生成するためのクロックをレベル昇圧回路に供給するか否かを制御するレベル制御回路とを有する。

【選択図】 図1

特願 2 0 0 3 - 0 0 8 0 8 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 2 0 3 6]

- | | |
|----------|--------------------------------|
| 1. 変更年月日 | 2 0 0 1 年 5 月 2 1 日 |
| [変更理由] | 名称変更 |
| 住 所 | 神奈川県川崎市中原区小杉町 1 丁目 4 0 3 番 5 3 |
| 氏 名 | エヌイーシーマイクロシステム株式会社 |
| | |
| 2. 変更年月日 | 2 0 0 3 年 7 月 3 0 日 |
| [変更理由] | 名称変更 |
| 住 所 | 神奈川県川崎市中原区小杉町 1 丁目 4 0 3 番 5 3 |
| 氏 名 | N E C マイクロシステム株式会社 |